|  |  |
| --- | --- |
| **실험 결과 보고서**  **(7주차)** | 학 번 : 122201856  이 름 : 김다영  제출일 : 2021.04.25  분 반 : 002  실험조 : 개인 |

1. **실험 제목 :** Thevenin's Theorem
2. **실험 목적 :** 테브난 정리를 이용해 전압원과 저항의 회로를 테브난 등가로 변환할 수 있다. 테브난 등가 회로에서 전원 변환을 함으로써 노턴 등가 회로를 구할 수 있다.
3. **실험준비**

OrCad Pspice를 이용해 강의자료의 실험 절차에 따라 회로를 설계하고 태브난 등가 회로를구성한 후 simulation 한다.

1. **실험결과**

**실험 Thevenin’s Theorem(1)**

1. **Original Circuit(계산)**

RL이 150일 때, R1과 R3||(R2+RL)은 직렬 연결 돼있으므로 R3||(R2+RL)에 걸리는 전압은

R3와 R2+RL은 병렬 연결이므로 전압이 동일하고 RL에 걸리는 전압은 전압 분배 법칙에 의해

이다.

RL이 270일 때, R3||(R2+RL)에 걸리는 전압은

R3와 R2+RL은 병렬 연결이므로 전압이 동일하고 RL에 걸리는 전압은 전압 분배 법칙에 의해

이다.

RL이 500일 때, R3||(R2+RL)에 걸리는 전압은

R3와 R2+RL은 병렬 연결이므로 전압이 동일하고 RL에 걸리는 전압은 전압 분배 법칙에 의해

이다.

1. **Oricinal Circuit(측정)**

Pspice를 이용해 각 부하저항에 따라 회로를 설계한 후 simulation을 한 결과는 다음과 같다.

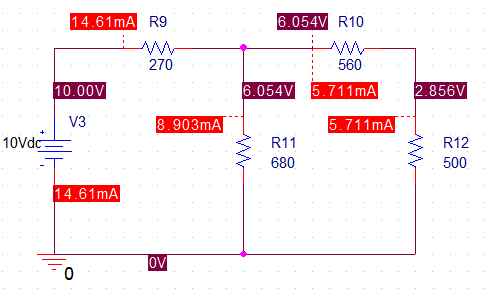
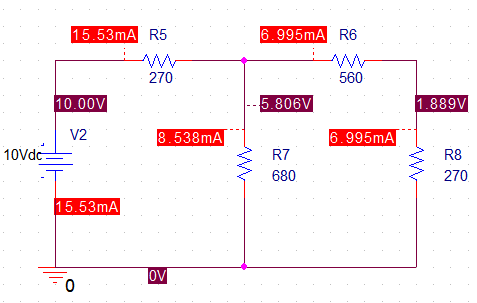
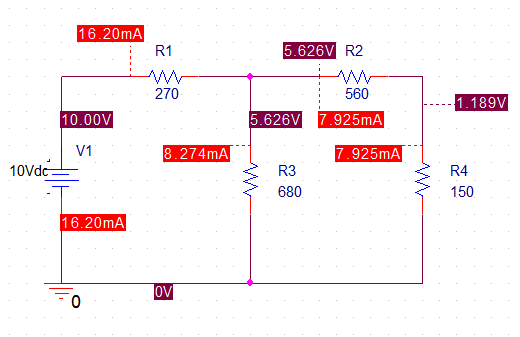


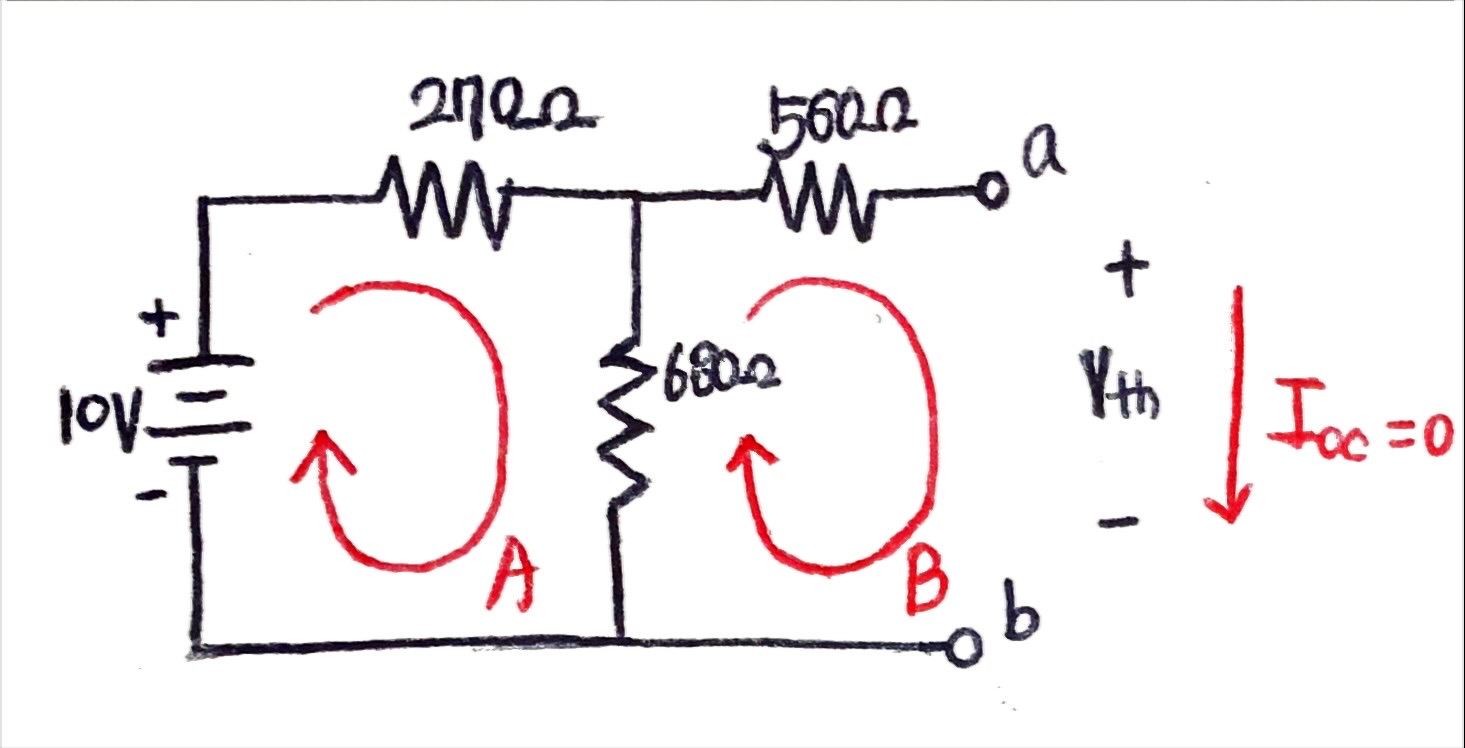
그림1 각 부하저항에 따른 출력전압

위의 VL 측정 결과 및 계산 결과를 표로 나타내면 다음과 같다.

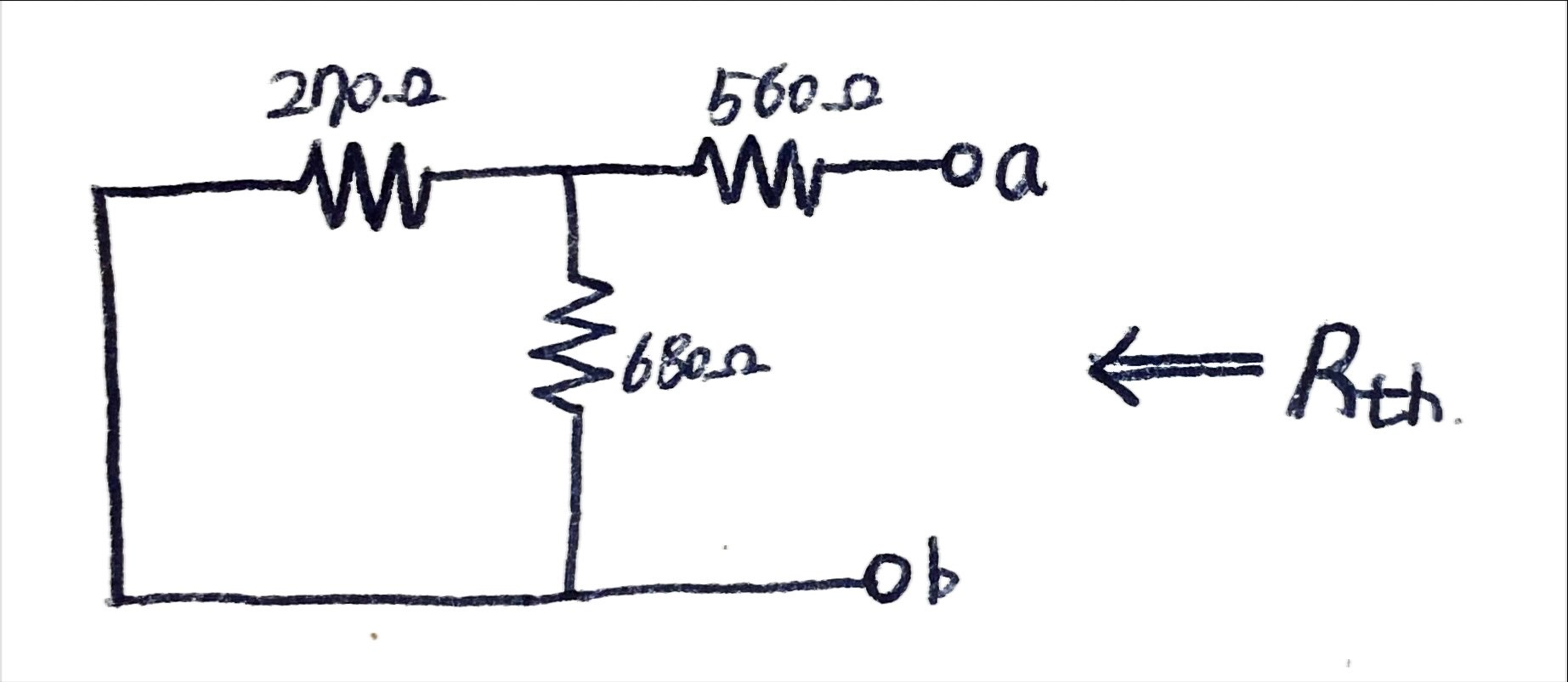
|  |  |  |
| --- | --- | --- |
|  | Computed | Measured |
| VL1 | 1.189 |  |
| VL2 | 1.889 |  |
| VL3 | 2.856 |  |

1. **Original Circuit 변형**

다음과 같이 mesh를 시계방향으로 잡고 mesh current method를 이용하여 V­oc를 구하면



와 같다.

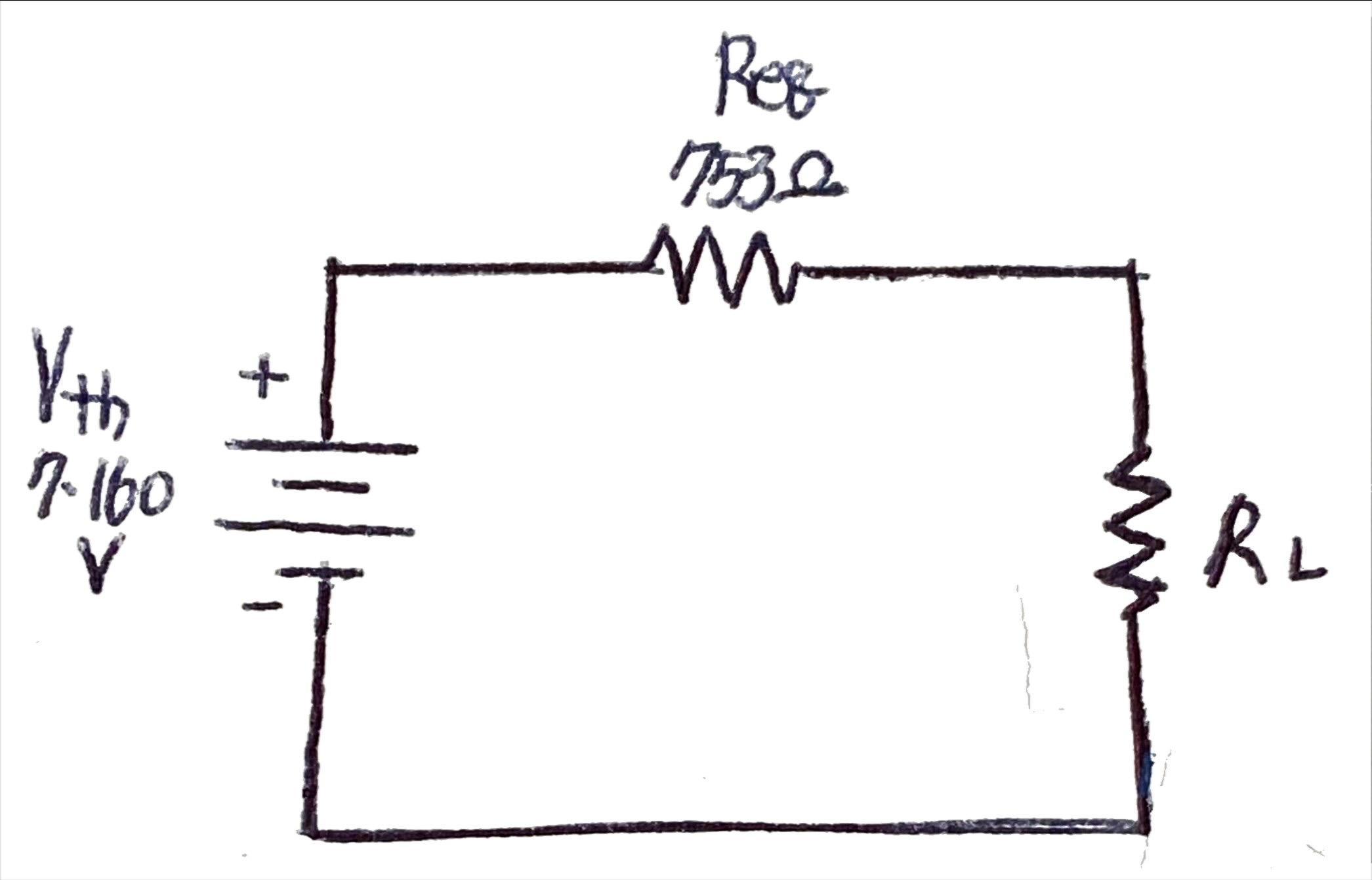


전압원을 short 시킨 후 등가저항 Req­­를 구하면 Req=Rth와 같다.

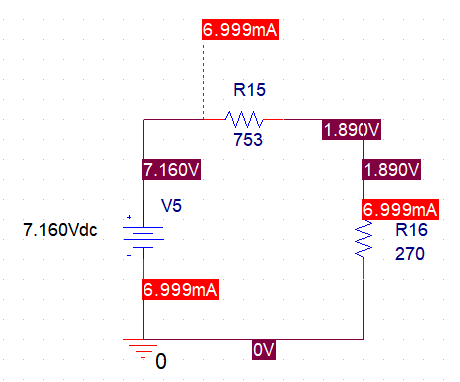
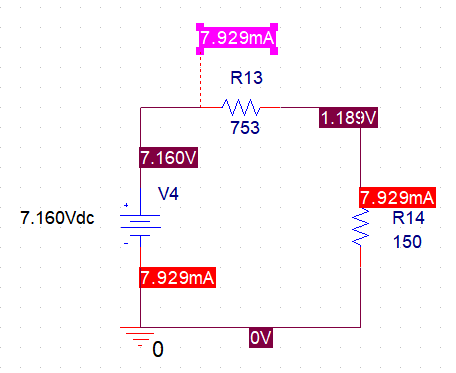
Req=(270||680)+560=753=Rth

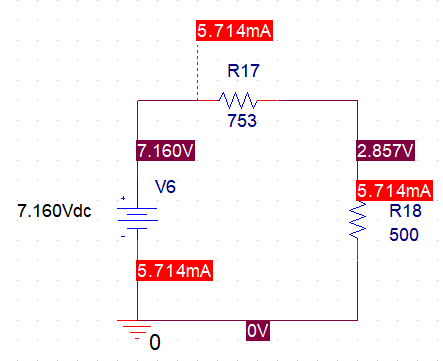
1. **테브냉 등가 회로**

태브냉 전압 및 저항과 부하저항을 이용해 회로를 구성한 후 각 부하저항(150, 270, 500)에 걸리는 전압(VL)을 구하면 다음과 같다. – (1,2)

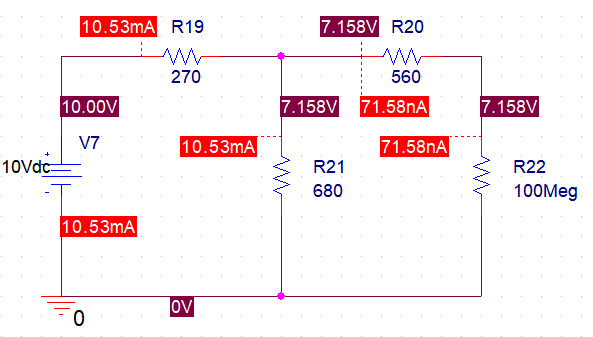


태브냉 전압 및 저항과 부하저항을 이용해 회로를 구성한 후 simulation을 통해 전압(VL)을 구하면 다음과 같다. – (3)



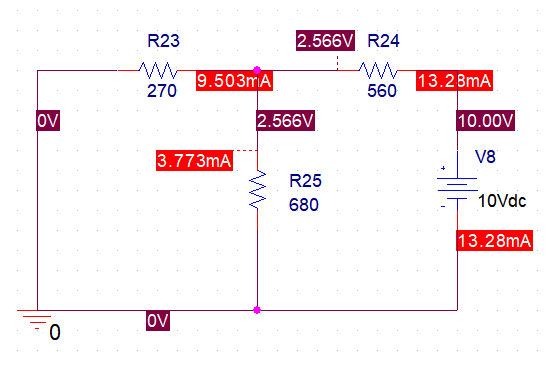


Pspice에서는 open circuit을 구성할 수 없으므로 RL을 매우 큰 값으로 설정해 simulation한다.



그 결과 가 라는 것을 알 수 있다. – (4)

등가저항 Rth를 구하기 위해 Vs를 short시킨 후 RL을 10V의 전압원으로 바꿔주면 10V 전압원에 흐르는 전류는 13.23mA이다. 따라서 Rth는



이다.

|  |  |  |
| --- | --- | --- |
|  | Computed | Measured |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

**실험 Thevenin’s Theorem(3)**

다이오드의 전압은 1.8V이고 전류는 12mA이므로 RL은

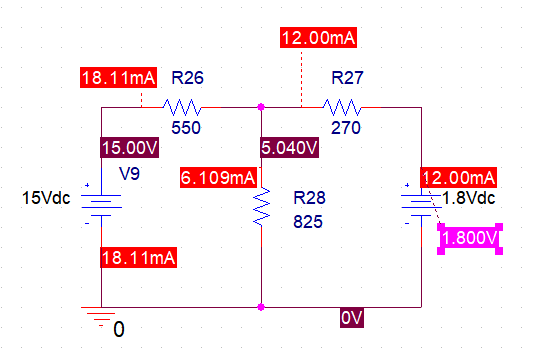
이다. 문제에서 태보난 등가 저항이 600이라고 했으므로

이므로 에 이를 대입하면

RA=550

RB=825

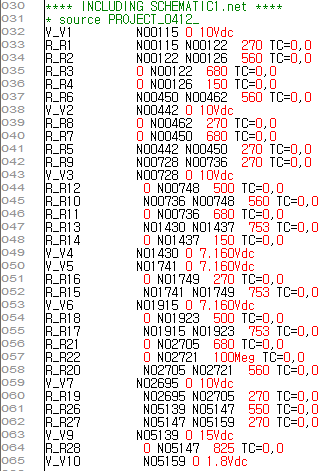
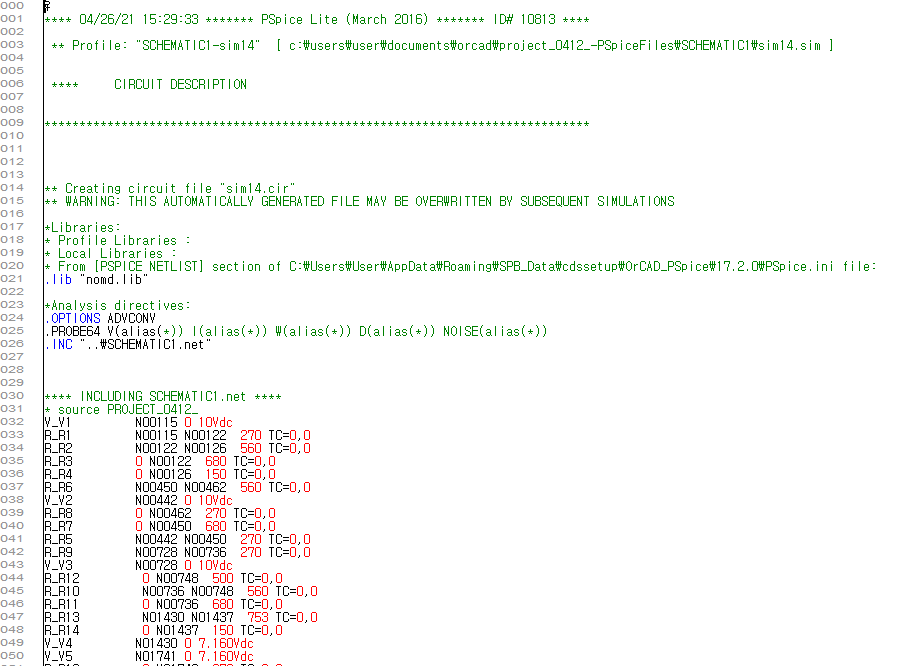
이 나오는 것을 알 수 있다. 이를 검토하기 위해 회로를 구성해 simulation을 하면

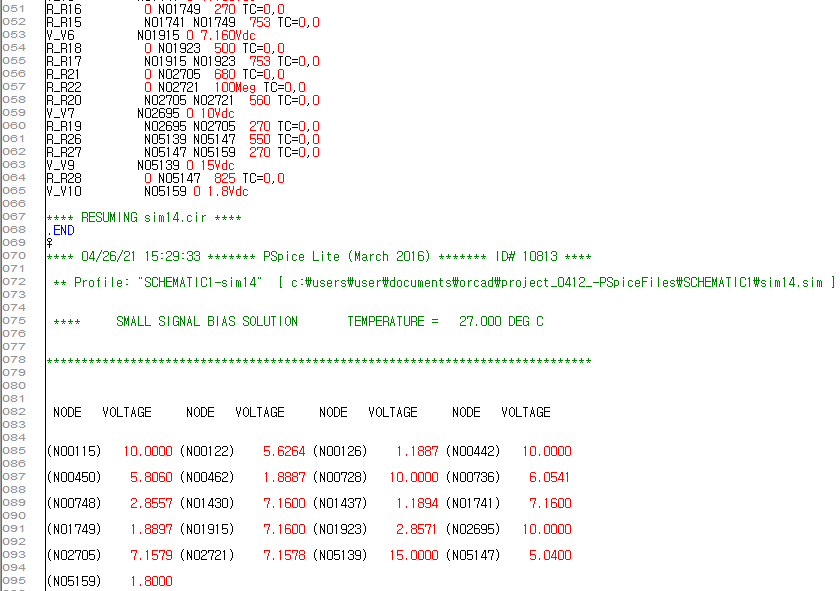
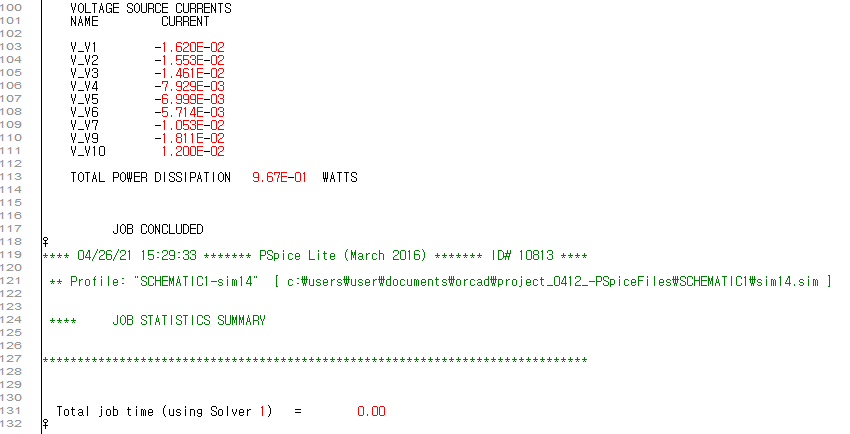


다이오드에 12.00mA가 잘 흐르는 것을 볼 수 있으며 Rth 또한

=600

이 잘 나오는 것을 알 수 있다.

**그림 1.4 실험1,3 Pspice \*.net / Pspice \*.out 스크린샷**

**5. 결론 및 고찰**

이번 실험을 통해 어떤 상황에서 태브난 정리를 이용하는지, 태브난 정리를 어떻게 이용하는지에 대해 더욱 자세히 알 수 있었다. Vth를 구하기 위해서는 구하려는 회로를 open시킨 후 mesh current method나 node voltage method를 이용하여 Vth 값을 구하고, 등가저항을 구하기 위해서는 회로를 short시킨 후 지난 수업 시간에 배운 직/병렬 연결에 따른 등가저항 구하는 공식을 이용하면 됐다. 실험(3)에서 식을 잘못 작성해 미지저항 값을 구하는데 시간이 오래 걸렸다. RA, R**B**를 구하고 난 후 수식을 통해 구한 값이 정확한 값이 맞는지 확신이 들지 않아 Rth가 600이란 것을 통해 검산 식을 세워 구한 값이 제대로 된 값이 맞다는 것을 다시 확인할 수 있었다.